

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-003498

(43)Date of publication of application : 09.01.1987

(51)Int.Cl.

G11C 29/00

G06F 11/08

(21)Application number : 60-143196

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 28.06.1985

(72)Inventor : FUJISHIMA KAZUYASU

KUMANOTANI MASAKI

MIYATAKE HIDEJI

HIDAKA HIDEITO

DOSAKA KATSUMI

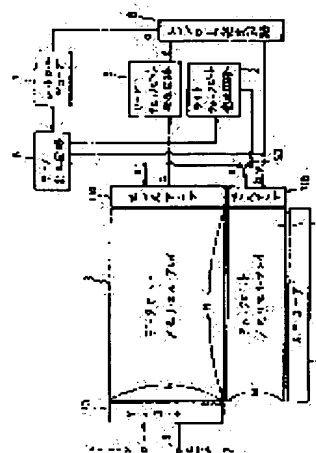
YOSHIHARA TSUTOMU

(54) SEMICONDUCTOR MEMORY DEVICE WITH ON-CHIP ECC CIRCUIT

(57)Abstract:

PURPOSE: To separate the writing and reading of data and to prevent the delay of a reading speed by executing error detection and correction by removing a determined sense amplifier output without passing a usual Y decoder.

CONSTITUTION: A switch S3 is set to a reading side R, in the same way as writing, one word line is selected by an X decoder 12, and the data are detected and amplified by sense amplifiers 11a and 11b. Next, independently from an ECC system, an (n) number of decoders in a Y decoder 10 are selected and (n) bit information is outputted from a terminal 9. At such a time, the output of the amplifier 11a of an determined N bit is inputted to a generating circuit 5 at an ECC circuit, the generated read checking bit and the read M bit checking bit are inputted to a generating circuit 6 and the syndrome is obtained. When the error is at the data, a decoder 7 and a correcting circuit 8 rewrite the data bit and the checking bit in memory cell arrays 3 and 4 through amplifiers 11a and 11b.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭62-3498

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)1月9日

G 11 C 29/00
G 06 F 11/08Q-7737-5B
7368-5B

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 オンチップECC回路付半導体記憶装置

⑯ 特 願 昭60-143196

⑰ 出 願 昭60(1985)6月28日

⑱ 発 明 者 藤 島 一 康 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 発 明 者 熊 野 谷 正 樹 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑳ 発 明 者 宮 武 秀 司 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

㉑ 発 明 者 日 高 秀 人 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

㉒ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉓ 代 理 人 弁理士 大岩 増雄 外2名

最終頁に続く

明 細 書

1. 発明の名称

オンチップECC回路付半導体記憶装置

2. 特許請求の範囲

(1) 同一基板上に誤り検出・訂正機能のためのライトチェックビット発生回路とリードチェックビット発生回路とシンドローム発生回路とを備えたオンチップECC回路付半導体記憶装置において、外部からのデータの書き込みと外部へのデータの読み出しを前記誤り検出・訂正機能のための各回路を通さずに独立に行うための通常のYデコードと、誤り検出・訂正のためにデータビットデータ・チェックビットデータの読み出し、書き換えを行うためのセンスアンプとを備え、誤り検出・訂正は、確定したセンスアンプ出力を前記通常のYデコードを介さずに取り出して行うことを特徴とするオンチップECC回路付半導体記憶装置。

(2) センスアンプは、外部からのデータ書き込み時に、Yデコードを選択するのに先立って、すでに蓄積されていたメモリセル情報に対してそのセン

スアンプ出力を使ってECC動作を行い、誤り検出・訂正を行った後に新たな情報をメモリセルアレイに書き込むことを特徴とする特許請求の範囲第1項記載のオンチップECC回路付半導体記憶装置。

(3) センスアンプは、外部からのデータ書き込み時に、新たに書き込まれた情報とすでにメモリセルアレイに蓄積されていた情報とにより確定されたセンスアンプ出力をライトチェックビット発生回路に入力し、得られたライトチェックビットをチェックビットメモリセルアレイに書き込むことを特徴とする特許請求の範囲第1項記載のオンチップECC回路付半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は誤り検出・訂正(Error Check and Correction, 以下「ECC」という)機能を備えた半導体記憶装置に関するものである。

(従来技術)

近來、半導体記憶装置の高集積化に伴い、アル

ファ粒子の入射によるメモリセルの誤動作が問題となっている。この対策としてECC機能を同一半導体基板上に備えること（以下「オンチップECC」という）が行われている。第2図にハミング符号を誤り訂正符号として用いた従来のオンチップECC回路のブロック図の例を示す。

第2図において、1は入力データが入力されるための端子、2はライトチェックビット発生回路、3はデータビットメモリセルアレイ、4はチェックビットメモリセルアレイ、5はリードチェックビット発生回路、6はシンドローム発生回路、7はシンドロームデコード、8はデータ訂正回路、9は出力データを出力するための端子、10a、10bは通常のYデコード、11a、11bはセンスアンプ、12はXデコード、S1、S2は書き込み、読み出しを切替えるためのスイッチである。

メモリセルアレイは、N行N列のデータビットのセルアレイ3とN行M列（Mの値は何ビットをECCの単位とするかで決まる）のチェックビッ

トのセルアレイ4から構成されており、Xデコード12によりN本のうちの1本のワード線が選択されると、それに繋がる（N+M）個のメモリセルの情報がビット線を介してセンスアンプ11a、11bに伝達され、検知、増幅される。その後、Yデコード10a、10bによりビット線を選択し、所望のメモリセルの情報を読み出す。そしてECC機能は、一般には次のようにして実現される。

①データ書き込み時に、入力する複数ビット（nビットとする）のメモリセルデータに対してチェックビット（mビットとする）を発生させ、データビット、チェックビットをそれぞれメモリセルアレイ3、4に書き込む。この場合のチェックビットを発生する回路が第2図に示すライトチェックビット発生回路2である。この（n+m）ビットのブロック（以下「ECCコード語」という）がECCの単位となり、誤り検出・訂正はこのECCコード語毎に行われる。

②データ読み出し時に、前述のデータビットnビッ

トとチェックビットmビットを同時に読み出し、nビットのデータビットから新たなチェックビット（以下「リードチェックビット」という）を発生させ、これとチェックビットメモリセルアレイ4から読み出されたチェックビットとのビット毎の排他的論理和をとる。この結果が全て「0」（リードチェックビットとチェックビットが一致していることに相当）ならば誤りなし、それ以外では誤りありと判定する。上記論理和をシンドロームと呼ぶ。シンドロームはmビットからなるデータ列である。これらの処理は第2図のリードチェックビット発生回路5およびシンドローム発生回路6で行う。

③上記のシンドロームには誤りビットの位置情報が含まれており、これをデコードすることにより、nビットのデータビット中のどのビットが誤りであるかがわかる。これに従って、nビットのデータビットとmビットのチェックビットのうちの誤りビット（1ビットあるいは複数ビット）を訂正（反転）すると同時にnビットの情報を出力する。

これを行うのが、第2図のシンドロームデコード7およびデータ訂正回路8である。

以上のようにECCが行われる。第2図中で、ライトチェックビット発生回路2、リードチェックビット発生回路5は、nビットのデータビットから誤り訂正／検出符号の構成に従ってチェックビットを発生する回路であり、論理操作は両者同じである。またシンドローム発生回路6は、前述のごとく、メモリセルアレイ4から読み出されたチェックビットとデータビットから新たに発生したリードチェックビットとのビット毎の排他的論理和をとる回路である。シンドロームデコード7は、mビットのシンドロームをnビットのデータビットおよびmビットのチェックビットのうちの誤りビットを指定する符号（n+mビット）に変換するデコードであり、たとえば、n+mビットのうち誤りビット位置のみ「1」、他は「0」となる出力を得る。データ訂正回路8は、訂正されるべきデータビットおよびチェックビットと上記シンドロームデコード7の出力とのビット毎の排他的

論理和をとる部分であり、これにより、誤りビットのみデータが反転される。誤り訂正された符号($n+m$ ビット)は、再び、メモリセルアレイ3、4中の所定の位置に書き込まれる。さらに、訂正された n ビットの出力がデータ訂正回路8を経て外部に出力される。

(発明が解決しようとする問題点)

以上説明したように、ECC回路をオンチップ化した従来の構成では、メモリセルアレイから読み出された情報はデータ訂正回路を経て外部に読み出されるため、読み出しに時間がかかるという欠点があった。

本発明はこのような点に鑑みてなされたものであり、その目的とするところは、外部からのデータの書き込みと外部へのデータの読み出しを独立に行うことにより、読み出し速度の遅延を防止できるオンチップECC回路付半導体記憶装置を提供することにある。

(問題点を解決するための手段)

このような問題点を解決するために本発明は、

外部からのデータの書き込みと外部へのデータの読み出しを誤り検出・訂正機能のための各回路を通さずに独立に行うための通常のYデコードと、誤り検出・訂正のためにデータビットデータ、チェックビットデータの読み出し、書き換えを行うためのセンスアンプとを設けるようにしたものである。

(作用)

本発明においては、ECC回路を通常の読み出し/書き込みを行う回路と独立して別に設け、特に読み出しの信号経路から余分の回路を省いて、読み出しを高速に行えるように構成したものである。

(実施例)

本発明に係わるオンチップECC回路付半導体記憶装置の一実施例を第1図に示す。第1図において、10は通常のYデコード、S3は書き込み、読み出しを切替えるためのスイッチである。第1図において第2図と同一部分又は相当部分には同一符号が付してある。この実施例においては、データの書き込み、読み出しは、ECC回路を有

していない場合と同様にXデコード、Yデコードによる選択で行う。以下に順をおって動作の説明を行う。

最初に書き込み動作について説明する。この動作では、スイッチS3の接点は書き込み側(W)に接続される。

(a-1):まずXデコード12によりN本のうちの1本のワード線を選択する。

(a-2):次にYデコード10中n個のデコードを選択し、端子1に入力されたnビットの入力データをデータビットメモリセルアレイ3に書き込む。この時、同一ワード線に繋がる($N-n$)ビットのデータとMビットのチェックビットデータとはセンスアンプ11a、11bにより検知・増幅されており、新たに書き込まれたnビットと合わせて($N+M$)個のセンスアンプ11a、11bは状態が確定している。

(a-3):N個のセンスアンプ11aのNビットの情報(ここでは、説明を簡単にするためにNビットすべてを使っているが、センスアンプ出力を何ら

かの方法でデコードすることにより、ビット数を減らすことは可能である。)aをライトチェックビット発生回路2に入力し、Mビットのライトチェックビットを新たに発生してチェックビットメモリセルアレイ4にセンスアンプ11bを介して書き込む。

次に読み出し動作について説明する。この動作では、スイッチS3の接点は読み出し側(R)に接続される。

(b-1):まず書き込みと同様にXデコード12によりN本のうちから1本のワード線を選択し、($N+M$)ビットのデータをセンスアンプ11a、11bにより検知、増幅する。

(b-2):ECC系とは独立にYデコード10中n個のデコードを選択して、nビットの情報を出力データとして端子9から外部に出力する。この時、ECC回路では並行して以下の動作を行っている。

(b-3):確定したNビットのセンスアンプ11a出力aをリードチェックビット発生回路5に入力し、発生されたリードチェックビットcと読み出され

たMビットのチェックビットbをシンドローム発生回路6に入力し、シンドロームdを得る。

(b-4):もしデータビットデータまたはチェックビットデータに誤りがあれば(シンドロームdが「0」でなければ)、シンドロームデコーダ7、データ訂正回路8がセンスアンプ11a、11bを通してメモリセルアレイ3、4中のデータビット、チェックビットを書き換える。

以上では、書き込み動作時にはECCをかけないような説明を行ったが、Yデコーダ10の選択に先立って読み出し時と同様のECC動作を行えば、書き込み時にもECCをかけることは可能である。

(発明の効果)

以上説明したように本発明は、外部からのデータの書き込みと外部へのデータの読み出しを誤り検出・訂正機能のための各回路を通さずに独立に行うための通常のYデコーダと、誤り検出・訂正のためにデータビットデータ、チェックビットデータの読み出し、書き換えを行うためのセンスア

ンプとを設けることにより、ECC動作と独立して読み出し動作を行えるので、従来のECC回路をオンチップ化した半導体記憶装置で問題であった読み出し速度の遅延がなくなるという効果がある。

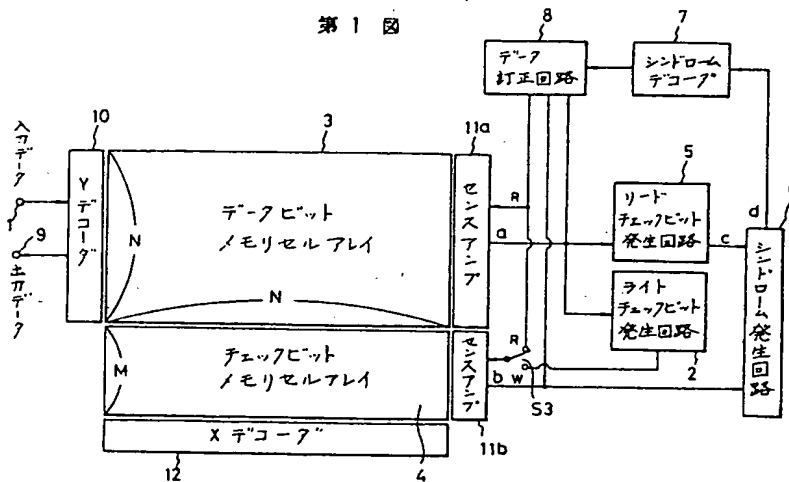
4. 図面の簡単な説明

第1図は本発明に係わるオンチップECC回路付半導体記憶装置の一実施例を示す系統図、第2図は従来のオンチップECC回路付半導体記憶装置を示す系統図である。

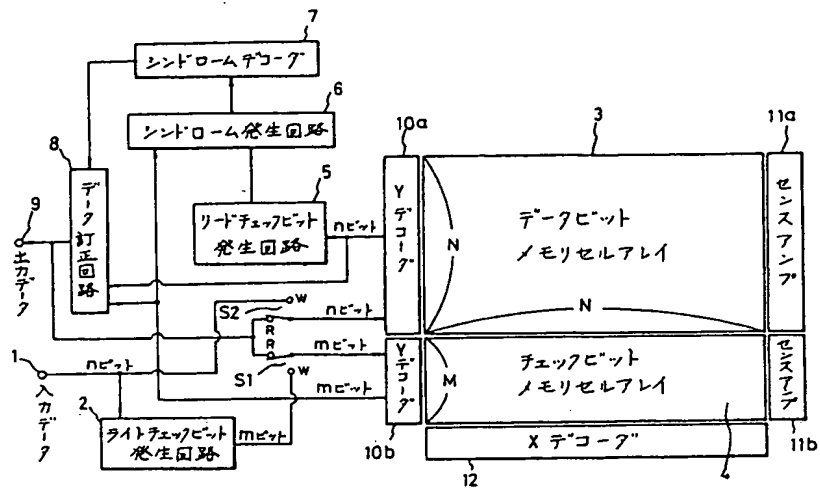
1. 9・・・端子、2・・・ライトチェックビット発生回路、3・・・データビットメモリセルアレイ、4・・・チェックビットメモリセルアレイ、5・・・リードチェックビット発生回路、6・・・シンドローム発生回路、7・・・シンドロームデコーダ、8・・・データ訂正回路、10・・・Yデコーダ、11a、11b・・・センスアンプ、12・・・Xデコーダ、S3・・・スイッチ。

代理人 大岩増雄

第1図



第 2 図



第1頁の続き

⑫発明者 堂 阪 勝 己 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
 ⑬発明者 吉 原 務 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内